

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98190

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 9 B

G 0 9 F 9/35

G 0 9 F 9/35

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平8-248142

(22) 出願日 平成 8 年 (1996) 9 月 19 日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 酒井 保

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

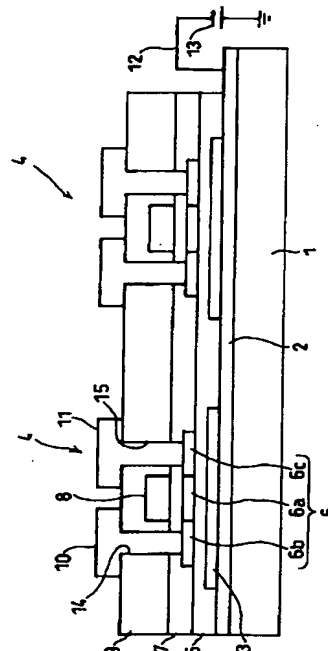
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 半導体装置およびこれを用いた画像表示装置

(57) 【要約】

【課題】 開口率を損なうことなく、トランジスタへの遮光性を維持し、かつ、トランジスタの特性劣化を招かない最適な電圧を遮光性材料に印加することができる構造を提供することにより、良好な画像表示が可能で、信頼性の高い半導体装置およびこれを用いた画像表示装置を提供する。

【解決手段】 薄膜トランジスタ4のチャネル領域6 a に対し、ゲート電極8と対向するように遮光膜3を設け、上記遮光膜3を透明電極層2にて相互に接続する。上記遮光膜3には、透明電極層2を介して、直流電源13より最適な電圧を印加する。



【特許請求の範囲】

【請求項1】透明性絶縁基板上に形成された複数の薄膜トランジスタより構成された半導体装置において、上記各薄膜トランジスタの活性層のチャネル領域への光の照射を遮蔽する導電性の遮光膜と、上記遮光膜を相互に接続する透明性電極と、上記透明性電極に接続され、上記遮光膜の電位を安定させるための電位安定化手段とを有することを特徴とする半導体装置。

【請求項2】上記電位安定化手段は、遮光膜に所定の電圧を印加する電源からなることを特徴とする請求項1記載の半導体装置。

【請求項3】上記遮光膜は、上記チャネル領域に対して上記薄膜トランジスタのゲート電極と対向する位置に配置されていることを特徴とする請求項2記載の半導体装置。

【請求項4】透明性絶縁基板上に、複数の表示用の画素がマトリクス状に設けられ、これら各画素を個別に駆動することで表示を行う画像表示装置において、上記画素は、該画素をスイッチングするスイッチング素子としての薄膜トランジスタと、上記薄膜トランジスタの活性層のチャネル領域への光の照射を遮蔽する導電性の遮光膜と、上記遮光膜に接続されると共に、該遮光膜の電位を安定させるための電位安定化手段に接続されている透明性電極とを有することを特徴とする画像表示装置。

【請求項5】上記電位安定化手段は、遮光膜に所定の電圧を印加する電源からなることを特徴とする請求項4記載の画像表示装置。

【請求項6】上記遮光膜は、上記チャネル領域に対して上記薄膜トランジスタのゲート電極と対向する位置に配置されていることを特徴とする請求項4または5記載の画像表示装置。

【請求項7】上記透明性電極は、上記各画素からなる画素アレイ上で、該画素アレイの画像形成面の全面にわたって敷設されていることを特徴とする請求項4ないし6の何れかに記載の画像表示装置。

【請求項8】上記透明性電極は、上記画素アレイ上で複数の分割されると共に、分割されたそれぞれの透明性電極に上記電位安定化手段が接続されていることを特徴とする請求項7記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、透明性絶縁基板上に形成された薄膜トランジスタを有し、特に、光による特性劣化を防止する構成を有する半導体装置に関するものである。また、この半導体装置を用いた画像表示装置に関するものである。

【0002】

【従来の技術】現在、広く実用化されている画像表示装

置の1つとして、アクティブマトリクス駆動方式の液晶表示装置がよく知られている。この種の液晶表示装置は、図10に示すように、画素アレイ51と、走査信号線駆動回路52と、データ信号線駆動回路53とを備えている。

【0003】上記画素アレイ51は、互いに交差する状態で配された $n \times m$ 本の走査信号線 GL_j ($j = 1, 2, \dots, n$; 但し、総称するときは単に GL とする) およびデータ信号線 SL_i ($i = 1, 2, \dots, m$; 但し、総称するときは単に SL とする) と、隣接する2本の走査信号線 $GL \cdot GL$ と隣接する2本のデータ信号線 $SL \cdot SL$ とで包囲された部分に設けられた $n \times m$ 個の画素54…により構成されている。このように、マトリクス状に配列された上記画素54には、1行当りに1本の走査信号線 GL が割り当てられ、1列当りに1本のデータ信号線 SL が割り当てられている。また、上記走査信号線 GL は走査信号線駆動回路52に接続され、データ信号線 SL はデータ信号線駆動回路53に接続されている。

【0004】走査信号線駆動回路52は、タイミング信号生成回路65 (図11参照) 等で生成される同期信号 CKG 、 GPS およびスタートパルス SPG を用いて、画素アレイ51における各走査信号線 GL に対して走査信号を出力する。一方、データ信号線駆動回路53は、同じくタイミング信号生成回路65等で生成される同期信号 CKS およびスタートパルス SPS を用いて、入力された映像信号 DAT をデータ信号線 SL に転送 (または、増幅して転送) する。また、走査信号線駆動回路52およびデータ信号線駆動回路53は、例えば、内部電源生成回路66 (図11参照) 等で生成される電源電圧 $VGH \cdot VGL$ と電源電圧 $VSH \cdot VSL$ とにより駆動されている。

【0005】ところで、従来、アクティブマトリクス型液晶表示装置の多くにおいて、前述の画素54で用いられる能動素子としての薄膜トランジスタは、ガラス基板上に形成された非晶質シリコン薄膜トランジスタにより構成されていた。また、走査信号線駆動回路52およびデータ信号線駆動回路53は、ガラス基板上に外付けされる複数のドライバICであった。

【0006】これに対して、近年、液晶表示装置の小型化、信頼性向上、コスト低減等を実現するために、図11に示すような、走査信号線駆動回路52やデータ信号線駆動回路53を画素アレイ51と同一の絶縁性基板55上にモノリシックに構成する技術が開発されつつある。

【0007】この場合、能動素子として用いられる薄膜トランジスタとしては、単結晶、多結晶または非晶質のいずれかのシリコン薄膜からなる電界効果型トランジスタが用いられる。実際には、大面積に形成できること、および走査信号線駆動回路52やデータ信号線駆動回路

53に要求される高い駆動力が得られることから、多結晶シリコン薄膜トランジスタが用いられることが多い。

【0008】従来の多結晶シリコン薄膜トランジスタは、例えば、図12に示すような構造になっている。この構造においては、絶縁性基板55上に汚染防止用にシリコン酸化膜56が堆積されており、その上に電界効果トランジスタ57が形成されている。

【0009】上記の電界効果トランジスタ57は、シリコン酸化膜56上に形成されたチャネル領域58a、ソース領域58bおよびドレイン領域58cからなる多結晶シリコン薄膜58、さらにその上に形成されたゲート絶縁膜59、ゲート電極60、層間膜であるシリコン酸化膜61、ソース電極62およびドレイン電極63により構成されている。

【0010】ところで、透過型の液晶表示装置等では、強度の大きな光が照射されるが、上述の多結晶シリコン薄膜トランジスタは、光照射により、リーク電流の増加や寿命の低下が観測されている。この特性劣化は、トランジスタのチャネル領域や接合部に光が照射されたときに生ずるものであり、チャネル領域および接合部近傍を光遮蔽することにより、ある程度防止することができる。

【0011】従来、このような目的のために、図12に示す半導体装置では、チャネル領域58aに対して、ゲート電極60の対向側の該チャネル領域58aと接触しない位置に、クロム膜やクロムと酸化クロムの積層膜などからなる遮光性材料64を敷設している。しかしながら、これらの遮光性材料64は導電性であるために、電界効果トランジスタ57の第4の電極として働く可能性がある。例えば、長期にわたってこの遮光性材料64を電氣的に浮遊状態にしておくと、電荷の蓄積が起こって、意図せざる電圧がチャネル領域58aに印加されることがある。すなわち、この遮光性材料64によりチャネル領域58aに印加される電圧によっては、電界効果トランジスタ57の導通が制御される可能性があった。

【0012】このような事態を回避するために、特開昭60-192370号公報に開示されている液晶表示装置では、遮光性材料を前段または後段のゲートライン（走査信号線）に接続することが提案されている。これにより、保持期間の大部分においては、遮光性材料に走査信号のオフ電圧が印加されるので、薄膜トランジスタがオン状態になることなく、正常な表示が得られる。

【0013】

【発明が解決しようとする課題】ところが、上記従来の構成では、電界効果トランジスタ57に多結晶シリコン薄膜トランジスタ等を用いた場合、ゲート電極に逆極性の電圧（大きなオフ電圧）が印加されると、リーク電流が大きくなるという現象が見られる。また、この場合、特性の劣化も大きくなり、電界効果トランジスタ57の信頼性が損なわれるという問題もある。そして、上記開

示技術のように、走査信号のオフ電圧を遮光性材料にも印加することは、チャネル領域58aの両面からオフ電圧を印加することになるので、チャネル領域58aに印加されるオフ電流は大きなものとなる。したがって、リーク電流が大きくなり、薄膜トランジスタの特性の劣化を招くという問題が生じる。

【0014】さらに、遮光性材料に他の電圧を印加するには新たな配線が必要となる。この場合、追加された配線によって、液晶表示装置の性能、特に開口率を低下させる虞れがある。

【0015】本発明は、上記の各問題点を解決するためになされたもので、その目的は、開口率を損なうことなく、トランジスタへの遮光性を維持し、かつ、トランジスタの特性劣化を招かない最適な電圧を遮光性材料に印加することができる半導体装置を提供すると共に、この半導体装置を用いることで良好な画像表示が可能で、信頼性の高い画像表示装置を提供することにある。

【0016】

【課題を解決するための手段】請求項1の半導体装置は、透明性絶縁基板上に形成された複数の薄膜トランジスタより構成されたものであり、上記の課題を解決するために、上記各薄膜トランジスタの活性層のチャネル領域への光の照射を遮蔽する導電性の遮光膜と、上記遮光膜を相互に接続する透明性電極と、上記透明性電極に接続され、上記遮光膜の電位を安定させるための電位安定化手段（例えば、アースあるいは直流電源等）とを有することを特徴としている。

【0017】上記の構成により、上記遮光膜は、透明性電極により相互に接続されると共に、該透明性電極を介して電位安定化手段に接続されている。したがって、上記遮光膜に飛び込んでくる電子は、透明性電極を通して電位安定化手段に流れ出す。このため、上記遮光膜には、電荷の蓄積が生じず、意図せざる電圧をチャネルに印加する虞れがなくなる。また、遮光膜に飛び込む電荷を逃がすための配線が透明性電極からなっているので、開口率の低下を招かない。

【0018】請求項2の半導体装置は、上記の課題を解決するために、請求項1の構成に加えて、上記電位安定化手段は、遮光膜に所定の電圧を印加する電源からなることを特徴としている。

【0019】上記の構成により、上記遮光膜には、上記透明性電極に接続された電位安定化手段により所定の電圧を印加することができる。ここで、上記遮光膜に印加する電圧に、最適な値を選択すれば、薄膜トランジスタの閾値を最適な値にシフトさせることができる。これにより、薄膜トランジスタのオフ特性の低下（リーク電流の増加）や信頼性の低下を最低限に抑えることができる。

【0020】請求項3の半導体装置は、上記の課題を解決するために、請求項2の構成に加えて、上記遮光膜

は、上記チャネル領域に対して上記薄膜トランジスタのゲート電極と対向する位置に配置されていることを特徴としている。

【0021】上記の構成により、上記遮光膜とチャネル領域との間には、ゲート電極が存在しないため、遮光膜による電界がゲート電極によってシールドされることがなくなる。したがって、遮光膜の電位によって、チャネル領域の電位を制御することが容易になり、薄膜トランジスタの閾値を制御することが可能となる。

【0022】請求項4の画像表示装置は、透明性絶縁基板上に、複数の表示用の画素がマトリクス状に設けられ、これら各画素を個別に駆動することで表示を行うものであり、上記の課題を解決するために、上記画素は、該画素をスイッチングするスイッチング素子としての薄膜トランジスタと、上記薄膜トランジスタの活性層のチャネル領域への光の照射を遮蔽する導電性の遮光膜と、上記遮光膜に接続されると共に、該遮光膜の電位を安定させるための電位安定化手段に接続されている透明性電極とを有することを特徴としている。

【0023】上記の構成により、画素のスイッチング素子として用いられる薄膜トランジスタの遮光膜は、透明性電極に接続されると共に、該透明性電極を介して電位安定化手段に接続されている。したがって、上記遮光膜に飛び込んでくる電子は、透明性電極を通して電位安定化手段に流れ出す。このため、上記遮光膜には、電荷の蓄積が生じず、意図せざる電圧をチャネルに印加する虞れがなくなる。また、遮光膜に飛び込む電荷を逃がすための配線が透明性電極からなっているので、開口率の低下を招かない。その結果、信頼性が高く、かつ、表示品位に優れた液晶表示装置を提供することができる。

【0024】請求項5の画像表示装置は、上記の課題を解決するために、請求項4の構成に加えて、上記電位安定化手段は、遮光膜に所定の電圧を印加する電源からなることを特徴としている。

【0025】上記の構成により、画素のスイッチング素子として用いられる薄膜トランジスタの遮光膜には、上記透明性電極に接続された電位安定化手段により所定の電圧を印加することができる。ここで、上記遮光膜に印加する電圧に、最適な値を選択すれば、薄膜トランジスタの閾値を最適な値にシフトさせることができる。これにより、薄膜トランジスタのオフ特性の低下（リーク電流の増加）や信頼性の低下を最低限に抑えることができる。したがって、画素の保持率や長期信頼性を向上させることができる。

【0026】請求項6の画像表示装置は、請求項4または5の構成に加えて、上記遮光膜は、上記チャネル領域に対して上記薄膜トランジスタのゲート電極と対向する位置に配置されていることを特徴としている。

【0027】上記の構成により、上記遮光膜と薄膜トランジスタのチャネル領域との間には、ゲート電極が存在

しないため、遮光膜による電界がゲート電極によってシールドされることがなくなる。したがって、薄膜トランジスタの閾値を容易に制御することが可能となり、低電力で画素の保持率や長期信頼性を向上させることができる。

【0028】請求項7の画像表示装置は、請求項4ないし6の何れかの構成に加えて、上記透明性電極は、上記各画素からなる画素アレイ上で、該画素アレイの画像形成面の全面にわたって敷設されていることを特徴としている。

【0029】上記の構成により、各遮光膜は、画素アレイの画像形成面の全面にわたって敷設されている上記透明性電極によって相互に接続されている。したがって、電位安定化手段をただ1つ設ければ、全ての遮光膜に対し電位を安定させることができる。さらに、上記透明性電極は、上記各画素からなる画素アレイ上で、該画素アレイの画像形成面の全面にわたって敷設されているので、該透明性電極の抵抗（遮光膜と電源部の電圧供給端子との間の抵抗）が小さくなり、安定した電圧を上記遮光膜に対して印加することができる。

【0030】請求項8の画像表示装置は、請求項7の構成に加えて、上記透明性電極は、上記画素アレイ上で複数の分割されると共に、分割されたそれぞれの透明性電極に上記電位安定化手段が接続されていることを特徴としている。

【0031】上記の構成により、上記透明性電極は、上記画素アレイの複数の領域に分割して敷設されている。そして、分割された上記領域内において、上記遮光膜は上記透明性電極によって相互に接続されている。これにより、画素アレイ内で薄膜トランジスタの特性に分布（バラツキ）がある場合においても、それぞれの領域の遮光膜に最適な電圧を印加することができ、表示品位の向上を図ることができる。

【0032】

【発明の実施の形態】

（実施の形態1）本発明の実施の一形態について図1ないし図3に基づいて説明すれば、以下の通りである。

【0033】まず、本実施の形態に係る半導体装置の構造を、図1を用いて説明する。ここでは、画像表示装置としての透過型の液晶表示装置に用いられる半導体装置を例示する。

【0034】上記半導体装置は、図1に示すように、透明性絶縁基板1上に形成された複数の薄膜トランジスタ4…を有する構成である。上記半導体装置では、透明性絶縁基板1の上に、ITO（Indium Tin Oxide）等からなる透明電極層（透明性電極）2が敷設されている。上記透明電極層2の上には、該透明電極層2と接するようにクロム、チタン或いはタンタル等からなる遮光膜3…が、上記薄膜トランジスタ4…に対応して敷設されている。上記透明性絶縁基板1としては、サファイア基板、

石英基板、無アルカリガラス等が用いられることが多い。

【0035】上記透明電極層2は、直流電源13にアース配線12を介して接続されている。これらアース配線12と直流電源13とは、上記遮光膜3の電位を安定させるための電位安定化手段を構成している。上記直流電源13は、プラス側がアースされ、マイナス側がアース配線12に接続されている。これにより、遮光膜3は、マイナスの電圧が印加されることになる。尚、図1では、上述のように、遮光膜3には、マイナスの電圧が印加されているが、所望であれば、直流電源13の向きを逆にしてプラスの電圧を遮光膜3に対して印加することもできる。

【0036】上記遮光膜3の上の領域には、上記薄膜トランジスタ4が、シリコン酸化膜5を介して設けられている。上記薄膜トランジスタ4は、多結晶シリコン薄膜により形成された正スタガ構造のものである。すなわち、上記の薄膜トランジスタ4は、シリコン酸化膜5上に形成されたチャネル領域6a、ソース領域6bおよびドレイン領域6cからなる活性層としての多結晶シリコン薄膜6、さらにその上に形成されたゲート絶縁膜7、ゲート電極8、層間絶縁膜9、ソース電極10およびドレイン電極11により形成されている。

【0037】上記ゲート電極8は、ゲート絶縁膜7を介してチャネル領域6aに対向する位置に設けられている。上記ソース電極10は、ゲート絶縁膜7および層間絶縁膜9に設けられたコンタクトホール14を介してソース領域6bに接続されている。上記ドレイン電極11は、ゲート絶縁膜7および層間絶縁膜9に設けられたコンタクトホール15を介してドレイン領域6cに接続されている。

【0038】これにより、上記遮光膜3は、ゲート電極8に対向して上記薄膜トランジスタ4の下方に、シリコン酸化膜5を介して配置される形となる。そして、この遮光膜3により、薄膜トランジスタ4は下方からの光、すなわち、透明性絶縁基板1を透過した光に対して遮光効果を有するようになる。

【0039】上記遮光膜3は導電性を有するため、上記薄膜トランジスタ4、あるいは他の配線（ゲート電極8、ソース電極10、ドレイン電極11を構成する導電層等）に電流が流れている時に、絶縁層を越えて電子が飛び込んでくることがある。飛び込んできた電子は上記透明電極層2と、該透明電極層2に接続されたアース配線12を介して外部へ放出される。このため、上記遮光膜3には、電荷の蓄積が生じず、遮光膜3の電位は常に一定に保たれる。したがって、遮光膜3は、薄膜トランジスタ4に対して、意図せざる電圧を印加するということがなくなる。

【0040】また、上記アース配線12には、直流電源13が接続されているので、該直流電源13によって、

透明電極層2を介して各遮光膜3に適切な電圧を印加すれば、薄膜トランジスタ4の閾値電圧を最適な値にシフトさせることができ、薄膜トランジスタ4の特性を向上させることができる。したがって、動作速度、保持特性等の点で薄膜トランジスタの特性を向上させることができる。

【0041】上記の構成によれば、各遮光膜3に外部からバイアスを供給する配線は、透明性導電材料からなる透明電極層2である。したがって、上記配線によって光の透過効率が低下することがない。

【0042】また、この透明電極層2は、複数の遮光膜3…を相互に接続し、外部の直流電源13より一定電圧が印加されるようになっている。これにより、この遮光膜3には、上記透明電極層2を介して一定電圧が印加されているので、薄膜トランジスタ4の特性に悪影響を与えないような最適バイアスを各遮光膜3に印加することができる。

【0043】尚、図1においては、各遮光膜3は薄膜トランジスタ4全体を遮光するように形成されているが、光の照射による特性劣化が生じる場所、すなわち、遮光膜3によって光を遮光される必要があるのは、薄膜トランジスタ4のチャネル領域6aおよびその接合部近傍のみである。したがって、図2に示すように、遮光膜3は、チャネル領域6aおよびその接合部近傍のみを遮光するように形成してもよい。

【0044】また、本実施の形態では、多結晶シリコンの正スタガ構造の薄膜トランジスタ4を例に挙げて説明したが、これに限らず、逆スタガ構造等の他の構造、或いは、非晶質シリコン薄膜やCdSe等の化合物半導体薄膜を用いたものでもよい。

【0045】ただし、上記薄膜トランジスタ4の構造を、図3に示すような逆スタガ構造とした場合、ゲート電極8は、チャネル下側となるので、遮光膜3は上側となる。すなわち、この場合は上側からバックライトを照射するシステム構成をとる液晶表示装置に適用される半導体装置となる。

【0046】さらに、本実施の形態では、透明電極層2はアースをとった上で、且つ直流電源13と接続されているが、アースと直流電源13とのうち、どちらか一方を省略することもできる。例えば、アースをとらない場合にも、遮光膜3に飛び込んできた電子は上記直流電源13に流れ出すので、遮光膜3の電位は一定に保たれる。

【0047】以上のように、本実施の形態では、半導体装置について説明したが、上記半導体装置を用いた画像表示装置について以下の実施の形態2で説明する。

【0048】（実施の形態2）本発明の他の実施の形態について図4ないし図9に基づいて説明すれば、以下の通りである。尚、本実施の形態では、画像表示装置として液晶表示装置について説明する。

【0049】本実施の形態に係る液晶表示装置は、図4に示すように、上記実施の形態1で説明した半導体装置を用いたアクティブマトリクス駆動方式の液晶表示装置である。上記液晶表示装置は、画素アレイ19と、走査信号線駆動回路34と、データ信号線駆動回路30とを備えている。

【0050】上記画素アレイ19は、互いに交差する状態で配された $n \times m$ 本の走査信号線 GL_j ($j=1, 2, \dots, n$; 但し、総称するときは単に GL とする)およびデータ信号線 SL_i ($i=1, 2, \dots, m$; 但し、総称するときは単に SL とする)と、隣接する2本の走査信号線 $GL \cdot GL$ と隣接する2本のデータ信号線 $SL \cdot SL$ とで包囲された部分に設けられた $n \times m$ 個の画素20により構成されている。このように、マトリクス状に配列された上記画素20には、1行当たり1本の走査信号線 GL が割り当てられ、1列当たり1本のデータ信号線 SL が割り当てられている。また、上記走査信号線 GL は走査信号線駆動回路34に接続され、データ信号線 SL はデータ信号線駆動回路30に接続されている。

【0051】上記のデータ信号線 SL にデータ信号を送出するデータ信号線駆動回路には、点順次駆動方式と線順次駆動方式とがある。ここでは、説明を簡単にするために、点順次駆動方式についてのみ述べる。

【0052】図5に示すように、点順次駆動方式のデータ信号線駆動回路30では、シフトレジスタ31に入力されたスタートパルス SPS が、同期信号 CKS に同期して順次シフトされる。この結果、シフトレジスタ31より出力されたスタートパルス SPS が、バッファ回路32を経てサンプリングスイッチ33に与えられる。そのパルスによりサンプリングスイッチ33が閉じると、映像信号 DAT は、サンプリングスイッチ33を通じてデータ信号線 SL に与えられる。

【0053】一方、図6に示すように、走査信号線 GL に走査信号を送出する走査信号線駆動回路34では、シフトレジスタ35に入力されたスタートパルス SPG が、同期信号 CKG に同期して順次シフトされる。この結果、隣接する2つのシフトレジスタ35・35より出力されたスタートパルス SPG が、バッファ回路36・36を経てアンド回路37で和がとられる。さらに、アンド回路37の出力と、走査信号の信号幅を決定する同期信号 GPS との和がアンド回路38でとられることにより、走査信号が生成される。この走査信号は、バッファ回路39を介して各走査信号線 GL に与えられる。尚、上記の走査信号線駆動回路34においては、レベルシフタを内蔵したバッファを用いることにより、走査信号の出力振幅を大きくすることもある。

【0054】尚、上記データ信号線駆動回路30および走査信号線駆動回路34に与えられる各信号は、図示しないタイミング信号生成回路によって生成される。ま

た、データ信号線駆動回路30および走査信号線駆動回路34は、図示しない内部電源生成回路等で生成される電源電圧 $VGH \cdot VGL$ と電源電圧 $VSH \cdot VSL$ とにより駆動されている。

【0055】各画素20は、図7に示すように、スイッチング素子となる薄膜トランジスタ21と、液晶容量22aを有する画素容量22とによって構成されている。一般に、アクティブマトリクス型液晶表示装置における画素容量22は、表示を安定させるために、液晶容量22aと並行に付加された補助容量22bを有している。つまり、補助容量22bは、液晶容量22aや薄膜トランジスタ21のリーク電流、薄膜トランジスタ21のゲート・ソース間容量や画素電極・信号線間容量等の寄生容量による画素電位の変動、液晶容量22aの表示データ依存性等の影響を最小限に抑えるようになっている。

【0056】薄膜トランジスタ21のゲート電極は、走査信号線 GL に接続されている。また、液晶容量22aおよび補助容量22bの一方の電極は、薄膜トランジスタ21のドレインおよびソースを介してデータ信号線 SL に接続されている。液晶容量22aの他方の電極は、液晶セルを挟んで対向電極（図示せず）に接続され、補助容量22bの他方の電極は、全面素に共通の図示しない共通電極線（ Cs on Common構造の場合）、または隣接する走査信号線 GL （ Cs on Gate構造の場合）に接続されている。

【0057】上記の液晶表示装置において、データ信号線駆動回路30は、表示用データ信号を1画素毎に、または1水平走査期間（1Hライン）毎に、各データ信号線 SL に出力する。また、走査信号線 GL 上に送られる走査信号がアクティブ状態になると、薄膜トランジスタ21が導通状態となり、これによって、データ信号線 SL 上に送られる表示用データ信号が画素容量22に電荷として書き込まれる。そして、画素容量22に書き込まれた電荷により表示が維持される。

【0058】上記液晶表示装置は、図示しないガラス等の透明性絶縁基板上に、データ信号線駆動回路30、走査信号線駆動回路34および画素アレイ19がモノリシックに形成されたものである。それゆえ、画素アレイ19を構成する各薄膜トランジスタ4…は、多結晶シリコン薄膜により形成されており、各薄膜トランジスタ4の下方には、実施の形態1で述べたように、薄膜トランジスタ4の少なくともチャネル領域および接合部近傍を遮光するように、上記薄膜トランジスタ4のゲート電極と対向して、クロム、チタン或いはタンタル等からなる遮光膜3が敷設されている。

【0059】さらに、この遮光膜3…は、図8に示すように、画素アレイ19全体に互って敷設される透明電極層2によって、電気的に相互に接続され、電位安定化手段としてのアース配線12および直流電源13より一定の電圧が印加されるようになっている。上記透明電極層

2としては、ITO等を用いることができる。ITOは、成膜条件によっては、500℃以上の耐熱性を有するので、多結晶シリコン薄膜トランジスタの製造プロセスに適用することも可能である。

【0060】このような構造とすることにより、液晶表示装置の薄膜トランジスタ4は、遮光膜3により遮光されると共に、その遮光膜3には、アース配線12および直流電源13によって、薄膜トランジスタ4の特性に悪影響を与えないような一定のバイアスを印加することができる。更に、遮光膜3にバイアスを印加するための配線として、画素アレイ19全面に広がる透明電極層2を用いているので、配線抵抗を低く抑えることができるとともに、高い光透過率（開口率）を維持することが可能となる。

【0061】また、図2に示す半導体装置を用いた液晶表示装置の場合、遮光膜3…の面積が小さいため、液晶表示装置の開口率をさらに向上させることができる。

【0062】ところで、図8においては、透明電極層2は、画素アレイ19全体に一体化して敷設されているが、図9に示すように、上記透明電極層2を上記画素アレイ19の複数の領域に分割して敷設するとともに、上記分割された領域内において上記遮光膜3…を相互に接続して、それぞれに最適な一定電圧を印加するようにしてもよい。

【0063】この場合、画素アレイ19内で画素トランジスタの特性に分布（バラツキ）がある場合においても、それぞれの領域に最適な電圧を印加することができるので、表示品位の向上を図ることができる。

【0064】以上、本発明に関して幾つかの例を示してきたが、本発明は以上の実施の形態に限定されることなく、同様の概念に基づく全ての構成に当てはまるものである。

【0065】

【発明の効果】請求項1の発明の半導体装置は、以上のように、各薄膜トランジスタの活性層のチャネル領域への光の照射を遮蔽する導電性の遮光膜と、上記遮光膜を相互に接続する透明性電極と、上記透明性電極に接続され、上記遮光膜の電位を安定させるための電位安定化手段とを有する構成である。

【0066】それゆえ、遮光膜に飛び込んでくる電子を、透明性電極を介して、電位安定化手段に逃がすことができるので、遮光膜には電荷の蓄積が生じない。したがって、遮光膜への電荷の蓄積が原因となる、薄膜トランジスタへの意図せざる電圧印加を防止することができるという効果を奏する。

【0067】請求項2の発明の半導体装置は、以上のように、請求項1の構成に加えて、上記電位安定化手段は、遮光膜に所定の電圧を印加する電源からなる構成である。

【0068】それゆえ、請求項1の構成による効果に加

えて、上記遮光膜には、電位安定化手段により所定の電圧が印加される。したがって、これに最適な電圧を選択することにより、薄膜トランジスタのオフ特性の低下（リーク電流の増加）や信頼性の低下を最低限に抑えることができるという効果を奏する。

【0069】請求項3の発明の半導体装置は、以上のように、請求項2の構成に加えて、上記遮光膜は、上記チャネル領域に対して上記薄膜トランジスタのゲート電極と対向する位置に配置されている構成である。

【0070】それゆえ、請求項2の構成による効果に加えて、上記遮光膜とチャネル領域との間には、ゲート電極が存在しないため、遮光膜による電界がゲート電極によってシールドされることがなくなる。したがって、薄膜トランジスタの閾値を容易に制御することができるという効果を奏する。

【0071】請求項4の発明の画像表示装置は、以上のように、透明性絶縁基板上に、複数の表示用の画素がマトリクス状に設けられ、これら各画素を個別に駆動することで表示を行うものであり、上記の課題を解決するために、上記画素は、該画素をスイッチングするスイッチング素子としての薄膜トランジスタと、上記薄膜トランジスタの活性層のチャネル領域への光の照射を遮蔽する導電性の遮光膜と、上記遮光膜に接続されると共に、該遮光膜の電位を安定させるための電位安定化手段に接続されている透明性電極とを有する構成である。

【0072】それゆえ、薄膜トランジスタの遮光膜に飛び込んでくる電子は、透明性電極を通して電位安定化手段に流れ出す。このため、上記遮光膜には、電荷の蓄積が生じず、意図せざる電圧をチャネルに印加する虞れがなくなる。また、遮光膜に飛び込む電荷を逃がすための配線が透明性電極からなっているので、開口率の低下を招かない。その結果、信頼性が高く、かつ、表示品位に優れた液晶表示装置を提供することができるという効果を奏する。

【0073】請求項5の発明の画像表示装置は、以上のように、請求項4の構成に加えて、上記電位安定化手段は、遮光膜に所定の電圧を印加する電源からなる構成である。

【0074】それゆえ、請求項4の構成による効果に加えて、薄膜トランジスタの遮光膜には、上記透明性電極に接続された電位安定化手段により所定の電圧が印加される。上記遮光膜に印加する電圧に、最適な値を選択すれば、薄膜トランジスタの閾値を最適な値にシフトさせることができる。これにより、薄膜トランジスタのオフ特性の低下や信頼性の低下を最低限に抑えることができる。その結果、画素の保持率や長期信頼性を向上させることができるという効果を奏する。

【0075】請求項6の発明の画像表示装置は、以上のように、請求項4または5の構成に加えて、上記遮光膜は、上記チャネル領域に対して上記薄膜トランジスタの

ゲート電極と対向する位置に配置されている構成である。

【0076】それゆえ、請求項4または5の構成による効果に加えて、上記遮光膜による電界がゲート電極によってシールドされることがなくなるので、薄膜トランジスタの閾値を容易に制御することが可能となる。これにより、低電力で画素の保持率や長期信頼性を向上させることができるという効果を奏する。

【0077】請求項7の発明の画像表示装置は、以上の10 ように、請求項4ないし6の構成に加えて、上記透明性電極は、上記各画素からなる画素アレイ上で、該画素アレイの画像形成面の全面にわたって敷設されている構成である。

【0078】それゆえ、請求項4ないし6の構成による効果に加えて、上記透明性電極は、上記画素アレイ全面にわたって敷設されているので、上記透明性電極の抵抗が小さくなり、安定した電圧を上記遮光膜に対して印加することができるという効果を奏する。

【0079】それゆえ、請求項4ないし6の構成による効果に加えて、各遮光膜は、画素アレイの画像形成面の20 全面にわたって敷設されている上記透明性電極によって相互に接続されているので、電位安定化手段をただ1つ設ければ、全ての遮光膜に対し電位を安定させることができる。さらに、上記透明性電極は、上記各画素からなる画素アレイ上で、該画素アレイの画像形成面の全面にわたって敷設されているので、該透明性電極の抵抗が小さくなり、安定した電圧を上記遮光膜に対して印加することができるという効果を奏する。

【0080】請求項8の発明の画像表示装置は、以上の30 ように、請求項7の構成に加えて、上記透明性電極は、上記画素アレイ上で複数に分割されると共に、分割されたそれぞれの透明性電極に上記電位安定化手段が接続されている構成である。

【0081】それゆえ、請求項7の構成による効果に加えて、上記透明性電極は、上記画素アレイの複数の領域に分割して敷設され、分割された上記領域内において、上記遮光膜は上記透明性電極によって相互に接続されている。これにより、画素アレイ内で薄膜トランジスタの特性に分布（バラツキ）がある場合においても、それぞれの領域の遮光膜に最適な電圧を印加することができ、40 表示品位の向上を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施の形態を示すものであり、半導体装置の半導体素子の構造を示す断面図である。

【図2】上記半導体装置の他の例を示すものであり、半導体装置の半導体素子の構造を示す断面図である。

【図3】上記半導体装置のさらに他の例を示すものであり、半導体装置の半導体素子の構造を示す断面図である。

【図4】本発明の他の実施の形態を示すものであり、画像表示装置の主要部の構造を示すブロック図である。

【図5】上記画像表示装置のデータ信号線駆動回路の回路構成を示す説明図である。

【図6】上記画像表示装置の走査信号線駆動回路の回路構成を示す説明図である。

【図7】上記画像表示装置の画素の構造を示す説明図である。

【図8】図4に示す画像表示装置の他の例を示すものであり、上記画像表示装置の主要部の構造を示すブロック図である。

【図9】上記画像表示装置の更に他の例を示すものであり、画像表示装置の主要部の構造を示すブロック図である。

【図10】従来の画像表示装置の主要部の構造を示すブロック図である。

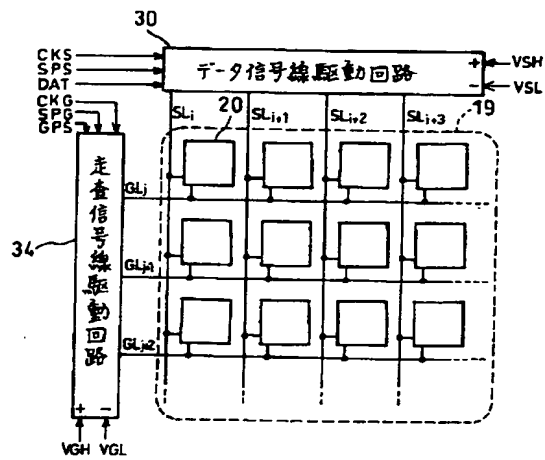
【図11】上記画像表示装置の更に他の例を示すものであり、画像表示装置の主要部の構造を示すブロック図である。

【図12】従来の半導体装置の半導体素子の構造を示す断面図である。

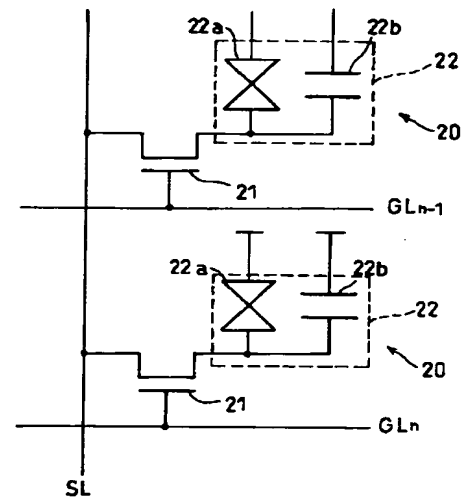
【符号の説明】

- 1 透明性絶縁基板
- 2 透明電極層（透明性電極）
- 3 遮光膜
- 4 薄膜トランジスタ
- 6 多結晶シリコン薄膜（活性層）
- 6 a チャンネル領域
- 8 ゲート電極
- 12 アース配線（電位安定化手段）
- 13 直流電源（電位安定化手段）
- 19 画素アレイ
- 20 画素

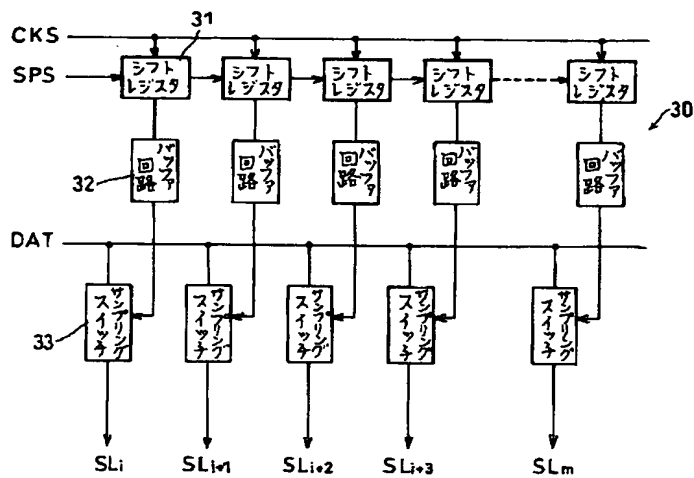
【図4】



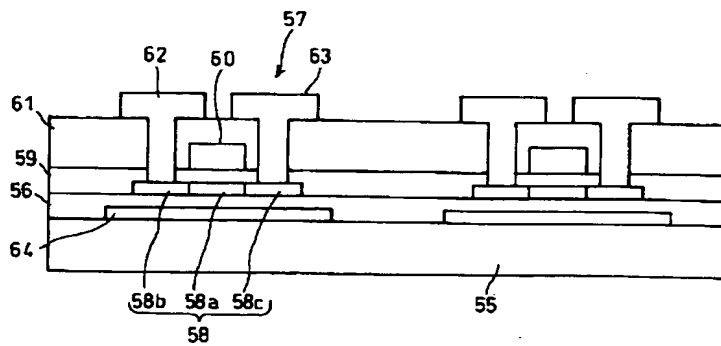
【図7】



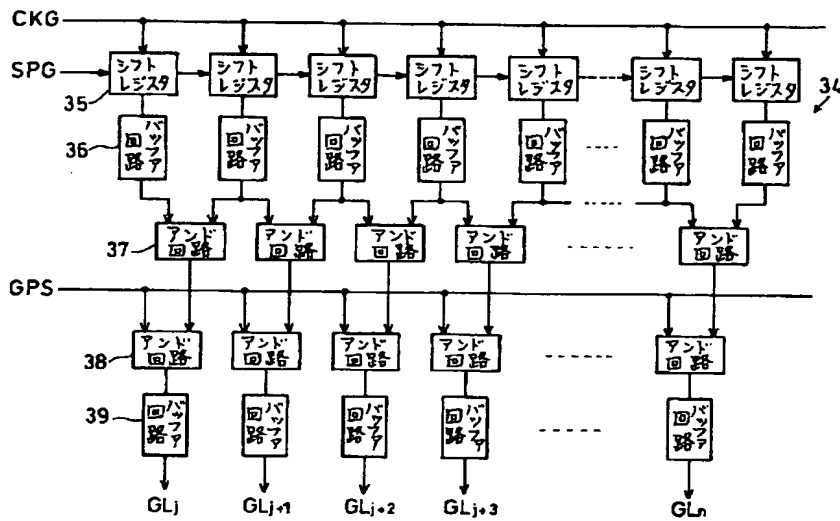
【図5】



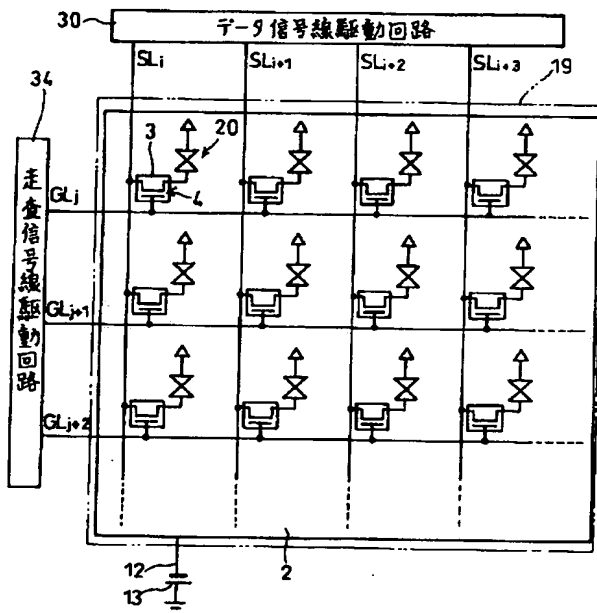
【図12】



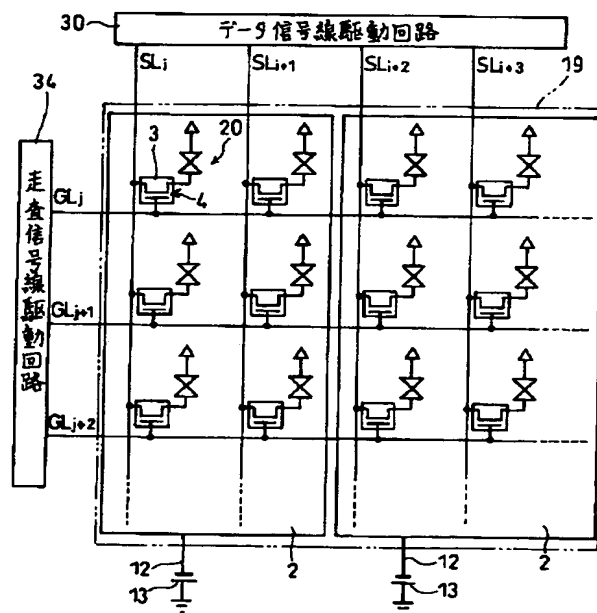
【図6】



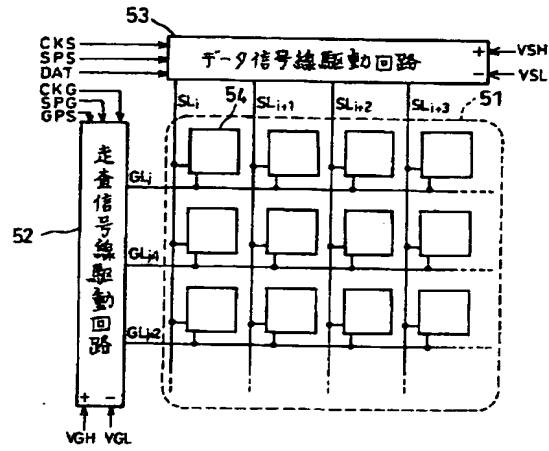
【図8】



【図9】



【図10】



【図11】

